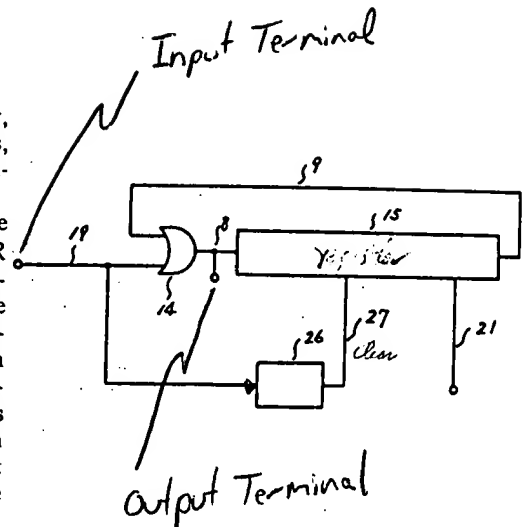


JA 0045151  
MAR 1980**(54) DETECTION CIRCUIT FOR VERTICAL SYNCHRONIZING SIGNAL**

(11) 55-45151 (A) (43) 29.3.1980 (19) JP  
(21) Appl. No. 53-117934 (22) 27.9.1978  
(71) HITACHI SEISAKUSHO K.K. (72) MASAHARU KOBAYASHI(4)  
(51) Int. Cl.<sup>3</sup> G11B5/09, H04N5/10

**PURPOSE:** To obtain a signal detection circuit which generates no timing error, etc., even if a drop-out would occur by making a shift register, etc., generate pulses, synchronizing with vertical synchronizing pulses, corresponding to a vertical synchronous pattern.

**CONSTITUTION:** Vertical synchronizing pulses trigger multivibrator 26 to clear the contents of shift register 15, thereby detecting a vertical pulse passing through OR circuit 14. Once they are cleared, on the other hand, register 15 with stages corresponding to a vertical synchronous pattern counts clocks synchronizing with the vertical synchronous pattern from its initial state, thereby outputting clocks synchronizing with vertical pulses. Those pulses are applied to register 15 through gate 14 and register 15 continues to count them cyclically. Therefore, if any vertical pulse is not detected in a fixed period, register 15 is not cleared and pulses synchronizing with vertical synchronizing pulses are detected in accordance with the vertical synchronous pattern. As a result, even when a vertical pulse is absent due to a drop-out, etc., the vertical pulse is substantially detected to prevent the generation of a timing error, etc.



## ⑫ 公開特許公報 (A)

昭55—45151

⑤ Int. Cl.<sup>3</sup>  
G 11 B 5/09  
H 04 N 5/10

識別記号

庁内整理番号  
7345—5D  
6246—5C

⑬ 公開 昭和55年(1980)3月29日

発明の数 1  
審査請求 未請求

(全 4 頁)

## ⑭ 垂直同期信号検出回路

⑰ 特 願 昭53—117934

⑱ 出 願 昭53(1978)9月27日

⑲ 発 明 者 小林正治  
横浜市戸塚区吉田町292番地株  
式会社日立製作所家電研究所内

⑲ 発 明 者 荒井孝雄  
横浜市戸塚区吉田町292番地株  
式会社日立製作所家電研究所内

⑲ 発 明 者 星野隆司  
横浜市戸塚区吉田町292番地株

式会社日立製作所家電研究所内

⑲ 発 明 者 木村寛之  
横浜市戸塚区吉田町292番地株  
式会社日立製作所家電研究所内

⑲ 発 明 者 西村恵造  
横浜市戸塚区吉田町292番地株  
式会社日立製作所家電研究所内

⑲ 出 願 人 株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号

⑲ 代 理 人 弁理士 薄田利幸

## 明 細 書

## 1. 発明の名称 垂直同期信号検出回路

## 2. 特許請求の範囲

同期信号より被判定パターンを形成する手段と、所定の垂直同期信号パターンが入力された時に垂直同期パルスが発生する判定手段とを備えてなり、上記垂直同期信号パターンと被判定パターンとを比較することにより垂直同期パルスを得るようになしたことを特徴とする垂直同期信号検出回路。

## 3. 発明の詳細な説明

本発明は垂直同期信号の検出回路に関するものである。

垂直同期信号の検出には、TV受像機等で行なわれているような同期信号の包絡波より検出する方法や、同期信号のパルス幅・周期等の特徴抽出を用いる方法がある。

しかし、上記方法のみを用いた場合、ドロップアウト等により同期信号のタイミングがずれる事がある。VTRを用いたPCM記録再生装置の場合、同期信号のタイミングのエラーが一水平期間長以

上になった場合データが不連続となる。さらに同一時刻の左チャンネルデータ、右チャンネルデータおよび補正用データを互いに離して記録する手法を用いた場合、左右チャンネルいずれかのデータが誤るとエラー訂正を行なうが、上記要因によりデータが不連続になるとエラー訂正時に誤った訂正を行なってしまう。

本発明の目的は、上記した従来技術の欠点をなくし、タイミングエラーのない垂直同期信号の検出回路を提供するにある。

本発明は垂直同期パルスが磁気テープの傷やゴミ等によって生ずるドロップアウト等により誤ったタイミングで出力されるのを防止するための回路であり、垂直同期パルスは、垂直同期信号波形パターンとの照合を行ない、完全に一致した時のみ出力する。このようにして得られた垂直同期パルスはシフトレジスタ等のメモリに記録する。垂直同期パルスが欠落した場合は、上記メモリに記録された信号を読み出し垂直同期パルスとして出力する。このようにして読み出された垂直同期

パルスは、メモリの段数  $N$  と読み出しクロック周期  $T$  との積を垂直同期周期  $T_v$  と等しくとる事により、一定周期  $T_v$  でかつ欠落したパルスのタイミングに一致させることが出来る。

ここで垂直同期周期  $T_v$  は、VTRのジッターおよび精度等により時間長が異なるが、メモリ用のクロックパルスとして垂直同期周期  $T_v$  と同様の变化をしている水平同期信号または同信号に比例したクロックパルスを用いる事により、メモリより読み出した信号により得られる垂直同期パルスは、欠落した垂直同期パルスのタイミングと一致する。

本発明を以下図面に示した一実施例により詳細に説明する。本発明では、垂直同期パルス検出部と垂直同期信号欠落時の補充部とにわけられ、まず前者の垂直同期パルス検出部について説明する。第2図は垂直同期パルス検出部の動作を示す波形図であり、以下第2図を用いてその基本動作につき説明する。同期信号1をクロックパルス21により入力する。出力信号17は「---11111111

. 3 .

7段目から12段目までの出力をインバータ24で反転し、他の出力はそのまま17入力のアンドゲート23に入力する。アンドゲート23は、シフトレジスタ22の各段の出力が「11111100000011111」となった場合にのみ1となる。このアンドゲート23の出力が垂直同期信号19である。

第3図は本発明の垂直同期信号欠落時の補充回路の一実施例ブロック図である。図において10はシフトレジスタ、11はフリップフロップ、12a, 12bは2入力アンドゲート、13はカウンタ、14は2入力オアゲート、15はシフトレジスタである。シフトレジスタ10は、上記垂直同期信号19をシフトレジスタクロックパルス3の1周期分シフトする一段のシフトレジスタである。フリップフロップ11は、シフトされた垂直同期信号2によりセットされる。フリップフロップ出力4によりアンドゲート12aはシフトレジスタクロックパルス16を出力する。このアンドゲート出力16を524進カウンタ13が計数し、524個

. 5 .

00000011111111---」なる波形となる。

ここで垂直同期信号パターンと出力信号17とが一致した場合に垂直同期パルス19が得られるようにする。垂直同期パルス19のタイミングは、比較パターンの設定によりクロックパルス21の周期単位で任意に変えられる。

第2図の垂直同期パルス19は、比較パターンを「11111100000011111」とした場合である。

第1図は、上記動作を遂行する本発明の垂直同期信号抽出回路の一実施例でブロック図である。図において22はシフトレジスタ、23はアンドゲート、24はインバータ、25はマルチバイブレータである。同期信号1は17段のシフトレジスタ22によりシフトレジスタクロックパルス21で入力・シフトされる。ここでシフトレジスタクロックパルス21は水平同期信号に同期し、周期が $\frac{1}{2}$ 周期のクロックパルス20をマルチバイブレータ25によりパルス幅1μsに波形整形したものである。シフトレジスタ22の各段の出力は、

. 4 .

目でカウンタ出力5によりフリップフロップ11をリセットする。ここでフリップフロップ11の反転出力6は、垂直同期信号の1周期遅延信号と一致する。反転出力6と525段シフトレジスタ15の出力信号9との一致を2入力アンドゲート12bでとりゲート出力7を作る。このようにする事により、シフトレジスタ15のクロックパルス3の異常等により発生した出力成分を除去する。またこの動作は垂直同期信号19が来た場合にのみ動作する。垂直同期信号19とゲート出力7は2入力オアゲート14に入力される。オアゲート出力8は垂直同期パルスであり、同時にシフトレジスタ15の入力信号でもある。

以上の構成により、垂直同期パルス8は、垂直同期信号19がある場合には、そのまま出力され、欠落時には256.5 $T_H$ の周期で繰り返し出力される。そして次に垂直同期信号が入力されるとシフトレジスタの内容は同信号により書き換えられる。

第4図は垂直同期信号19が欠落した場合の垂

. 6 .

直同期パルス出力 8 の波形図である。垂直同期信号 19 の欠落部が 1 個 (19b) の場合、垂直同期パルス出力 8 はその 1 周期以前のパルス 19a により補充されて出力される。欠落部が連続した場合 (19d, 19e, 19f)、上記シフトレジスタ 15 は循環動作により繰り返しパルス 19c を出力する。

第 5 図はシフトレジスタ 15 がシフトレジスタクロックのエラー等により誤動作し、一定周期 ( $T_V$ ) 以外のパルス出力を出した場合の波形図である。この場合出力信号 9 と反転出力 6 との一致をアンドゲート 12b にてとる事により、ゲート出力 7 を一定周期 ( $T_V$ ) のパルスのみとしシフトレジスタ 15 の内容を垂直同期パルスのみとする。

第 6 図は、垂直同期信号欠落時の補充回路の他の実施例のブロック図である。垂直同期信号 19 は論理和ゲート 14 に入力されると同時にマルチバイブレータ 26 に入力され、立上り部でトリガーパルス幅が 1  $\mu$ s の出力パルス 27 を出す。この出力パルス 27 でシフトレジスタ 15 の内容をクリアーする。シフトレジスタ 15 には論理和

ゲート出力 8 が入力される。この論理和ゲート出力 8 が垂直同期パルスである。垂直同期信号 19 が欠落した場合には、シフトレジスタ 15 の内容はクリアーされず論理和ゲート 14 を通り循環動作となり、次の垂直同期信号 19 が来るまで繰り返し出し出力される。ここで垂直同期信号周期  $T_V$  と水平同期信号周期  $T_H$  には、 $T_V = 262.5 T_H$  なる関係がある。したがってシフトレジスタ 15 の段数を 525 段とし、シフトレジスタクロックパルス 21 の周期を  $T_H/2$  とする事により、循環動作時の垂直同期パルス 8 の周期は垂直同期信号周期に等しくなる。

本発明により垂直同期パルスを発生させることによってドロップアウトがある場合にも正しいタイミングで垂直同期パルスが出力される。これによって垂直同期パルス前後のデータの欠落がなくなり連続性が保たれ、エラー訂正時の誤りが無くなるものである。

尚、本発明は VTR を用いた PCM 録音・再生機に用いて特に有効であるが、他の方式の PCM

. 7 .

. 8 .

の場合にも有効に応用できる。

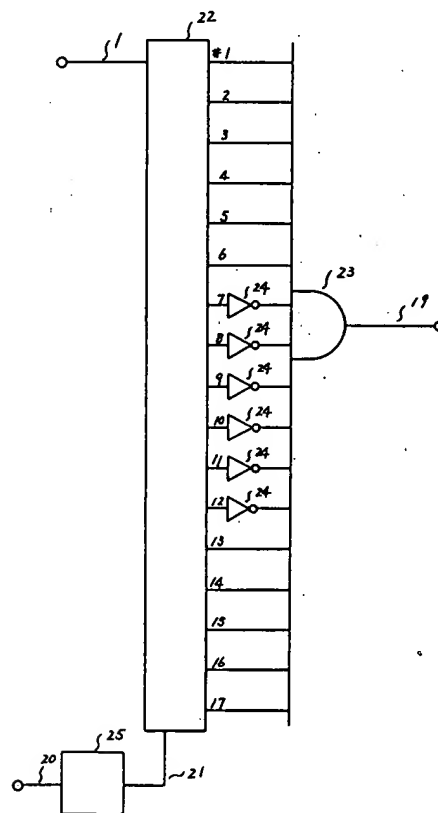
#### 4. 図面の簡単な説明

第 1 図は本発明の垂直同期信号検出回路の垂直同期信号抽出部の一実施例ブロック図、第 2 図は第 1 図の垂直同期信号抽出部の動作を示すタイムチャート、第 3 図は本発明による垂直同期信号補充部の一実施例ブロック図、第 4 図及び第 5 図は垂直同期信号補充部の動作を示すタイムチャート、第 6 図は垂直同期信号補充部の他の実施例のブロック図である。

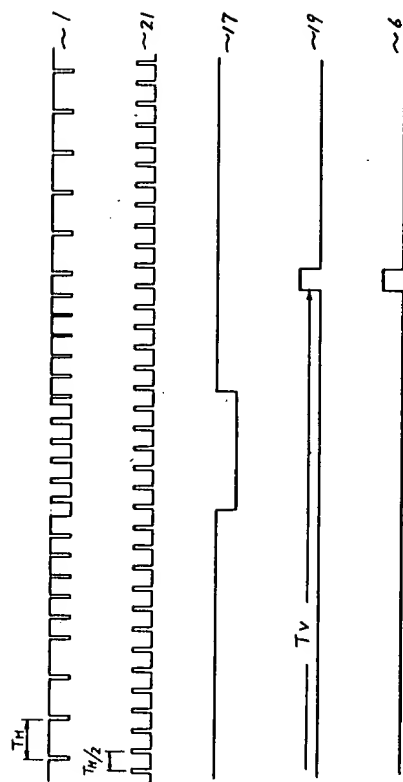
- 1 : 同期信号、
- 19 : 垂直同期パルス、
- 22 : シフトレジスタ、
- 23 : アンドゲート、

代理人弁理士 蔭田利幸

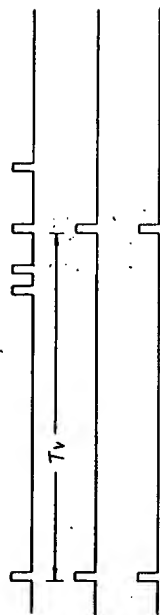
オ / 図



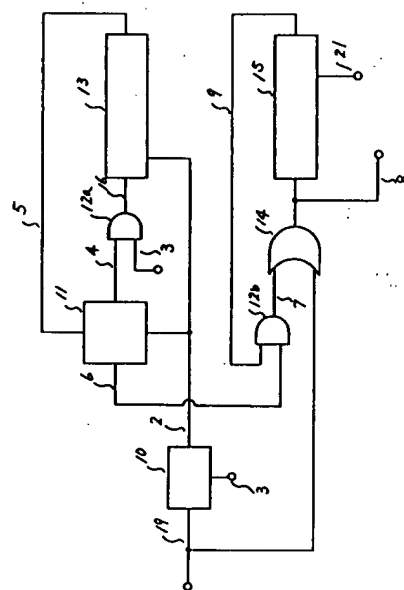
※ 2 図



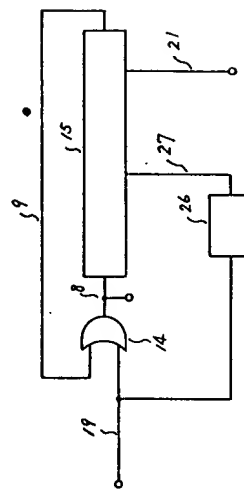
※ 5 図



※ 3 図



※ 6 図



※ 4 図

